

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

2004年 2月24日 10時54分  
ZUU4# LH24# 1U9#U9#

ITOH INTERNATIONAL PATENT OFFICE  
(株)イトウ

NO.1794 P. 3  
NO.5455 P. 2

\*\* Result [P ] \*\* Format(P801) J4 02.24

1/ 1

Application no/date: 1984-274831[1984/12/28]  
Date of request for examination: [1990/ 3/23]  
Accelerated examination ( )  
Public disclosure no/date: 1986-156187 ~~Translato~~ [1986/ 7/15]  
Examined publication no/date (old law): 1994- 5478 ~~Translato~~ [1994/ 1/19]  
Registration no/date: 2122713[1996/12/20]  
Examined publication date (present law): [1998/ 3/20]

PCT application no:  
PCT publication no/date: [ ]

Applicant: CANON INC

Inventor: INOUE YUJI,OSADA YOSHIIKU, KOMATA TOMOJI, YAMASHITA NOBUITSU

IPC: G09G 1/34 G02F 1/133 E50

F11: R01E 19/78 G02F 1/136 S01L 27/12 H  
G09G 1/36 G09F 9/30 D32 G02F 1/138 ,S05, R01E 29/78 ,S11A  
G02F 1/133 .S50 G09F 9/30 H01L 27/12 R01E 29/70 ,S12Z  
H01L 37/12 L G02F 1/1365 G02F 1/1363

F-Term: SC006EB05, BC04, EB05, SF040AA51, BB12, SC094AA15, AA42, AA44, AA45, BA03, BA43, CA19, CA21, DA09, DB10, HA08, 5P040EB12, 2H092AA07, AA10, AA19, AA28, AA55, CA24, C A26, DA07, EA12, 2R093NA16, NC09, NC12, NC13, NC22, NC23, NC24, NC26, NC34, ND42, ND49, ND 53, ND54, NE07, SC006AA22, AF41, AF43, AF71, AF81, BA12, BB16, BC12, BC13, BC16, EC22, BC2 3, BF03, BF04, BF11, BF25, BF31, EF37, FA15, FA21, FA43, FA51, FA52

Expanded classification: 649, 242, 422

Fixed keyword: 2003, R011, R097

Citation:

[19,1992. 5.29.04] (04,JP,Unexamined Patent Publication,1983203486)  
[19,1993. 2.25. ] ( )  
[07,1994. 4.11.04] (04,JP,Unexamined Patent Publication,1982201295)  
[02,1994. 4.11.04] (04,JP,Unexamined Patent Publication,1982100467)  
[07,1994. 4.17.04] (04,Foreign Book,IEEE CONFERENCE RECORD OF 1972 CONFERENCE ON DISPLAY DEVICES-1972@M10D11-12@P64-66 )  
[07,1994. 4.17.04] (04,Foreign Magazine/Journal,IEEE TRANSACTIONS ON ELECTRONIC DEVICES-1977@M7@VOL.ED-24@N7@P896-902 )  
[07,1994. 4.18.05] (05,JP,Unexamined Patent Publication,1984083198)

Title of invention: ACTIVEMATRIX CIRCUIT BOARD

Abstract: Picture signal line is divided every block, bonding number with an outside driving circuit of a signal line is reduced by it is switching element, and a signal line every each block is commonized, and controlling picture signal.

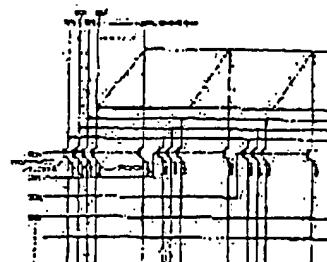
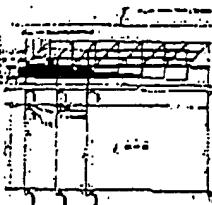
n ? m Active matrix circuit 5 is established on basal plate same as N ? M Active matrix type liquid crystal display.

As for circuit 5, anarcgusuitsuchingutoracjisuisa (A.S. transistor) for picture signal 6, capacitance 7 for picture signal sample hold, a latch to A.S. transistor 6 comprising switching business signal line g (1)-g (n) of done picture signal line 5 (1)-S (m) .A.S. transistor 6, it is done for the purpose of it being in the matrix layout which commonized a signal line of M book in m book

A.

S.

Transistor 6 holds the on next picture signal to capacitance 7 between ? t every each timing, if 1 of picture element scanning beam of display 1 becomes on, picture signal is transmitted to picture element.



⑨日本国特許庁(JP)

⑩特許出願公開

## ⑪公開特許公報(A) 昭61-156187

⑫Int.Cl. <sup>4</sup>	識別記号	序内整理番号	⑬公開 昭和61年(1986)7月15日
G 09 F 9/30		6615-5C	
G 02 F 1/133	118	D-8205-2H	
G 09 G 3/36		7436-5C	
// H 01 L 27/12		7514-5F	
29/78		8422-5F	審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 アクティブマトリクス回路基板

⑮特願 昭59-274831

⑯出願 昭59(1984)12月28日

⑰発明者 井上 裕司	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑱発明者 長田 卓平	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲発明者 小俣 智司	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑳発明者 山下 伸逸	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
㉑出願人 キヤノン株式会社	東京都大田区下丸子3丁目30番2号
㉒代理人 井理士 登田 喜雄	

## 明細書

## 1. 発明の名称

アクティブマトリクス回路基板

## 2. 特許請求の範囲

1)信号線を、プロック毎に分割し、各プロック毎の信号線を、スイッチング素子で共通化したことを特徴とするアクティブマトリクス回路基板。

2)前記各プロック毎のスイッチング素子で信号をサンプルホールドする特許請求の範囲第1項記載のアクティブマトリクス回路基板。

3)上記スイッチング素子をアクティブマトリクス回路基板と既存のスイッチング素子とを同一基板上に一体形成することを特徴とする特許請求の範囲第1項記載のアクティブマトリクス回路基板。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明はアクティブマトリクス回路基板の信号

線の構成に関するものである。

【従来の技術】及び【発明が解決しようとする問題点】

アクティブマトリクス回路基板の代表的なものとして薄膜トランジスタ(以下TFTと略す)をアナログスイッチング素子として用いた液晶表示装置が考えられる。この液晶表示装置は近年、高密度化、大面积化が進み、その信号線は2000本近くにものぼっており、外部回路との結線の問題と、駆動用ICの增大という問題が深刻化し、少しずつ低下やコスト高を招いている。

第7図は従来のアクティブマトリクス型液晶表示装置の一例を示したものである。図中1は、表示部で、AN1は、垂直駆動用TFTスイッチング素子、2は、信号線駆動回路、3は水平駆動回路である。4は、表示部1と信号線駆動回路2との接続部である。

また、第8図は、表示部1の信号線S(1)~S(X)に与えるべく信号線駆動回路2でサンプルホールドされた映像信号と、走査線C(1)~C(X)信号との

特開昭61-156187(2)

タイミング図を表わすものである。左歪基板×右歪基板をN×Mのマトリクスで構成した場合、板幅DはMヶ所あることになる。歪度に関しては、たとえば左歪基板N=180本、アスペクト比3:4、画面サイズ対角7インチの液晶フルカラーテレビを考えた場合、信号線数M=1920、画面の横の長さLは、

$$L = 7 \times 25.4 \text{mm} \times \frac{4}{5} \times 1420 \text{mm}$$

よって信号線密度dは

$$d = \frac{M}{L} = \frac{1920}{1420} = 13.5 \text{本/mm}$$

[Mは、赤(R)、緑(G)、青(B)各色用信号線の和でR+G+Bで一画面とすれば画面の西面表示部はN×M/3マトリクスである。]

となり1mm当たり13.5本の歪度となる。

従来、この高歪度且つ多色の信号線を外部の信号端子部回路2と接続するために実装の信号性、歩留りの低下、又、外線駆動用ICの増大に伴うコスト高が問題となつた。また、これらICを搭載するために基板サイズが大きくなり、表示部に比べ外部回路部が大きいというアンバランスも問題となつた。

左N×M歪基板にスイッチング素子を設けたN×Mアクティブラーティクス型液晶表示装置と同一基板上に基板で囲って示したN×Mアクティブラーティクス回路5を設けた全体図を表わす。第2図は第1図のN×Mアクティブラーティクス回路5の内部を表わし、図中6は、映像信号用アナログスイッチングトランジスタ(以下A.S.トランジスタと略す)、7は、映像信号サンプルホールド用コンデンサーであり、S(1)～S(n)はA.S.トランジスタ6へのリッテされた映像信号線、x(1)～x(n)は、A.S.トランジスタ6のスイッチング用信号線を示す。今、第7図におけるM本の信号線を四本に共通化したマトリクス配線となる様にすると第2図のS(1)～S(n)の信号線とx(1)～x(n)の信号線とN×M個のA.S.トランジスタ6及びコンデンサー7から成るマトリクス回路とすることができます。ただし、これは1以上の歪度で、N×Mである。この時の映像信号と、第2図のA.S.トランジスタ6のトランジスタ及び、第1図の表示部1のトランジスタとのタイミングは第3図の映像信号リッテ

期となっていた。

本発明は上記従来技術の問題点に気付かされたもので、アクティブラーティクス回路基板の信号線の外部駆動回路との接続性を緩らし、実装の簡素化、歩留りの向上、実装コストの低減を図るとともに、外部信号線駆動用ICの個数の低減、前記外部駆動回路の小規模、コンパクト化、それに伴うコストの低減を図ることを目的とするものである。

#### 【問題点を解決するための手段】及び【作用】

本発明は、映像信号線をブロック毎に任意の本数に分割し、各ブロック毎の信号線をスイッチング素子で共通化して映像信号を調調するものである。すなわち、N本の映像信号線を、四本づつの共通化した映像信号線から成るNブロックから成るマトリクス回路で置き換えたものである。このため従来に比べ信号線の接続本数は著しく減少する。

#### 【実施例】

第1図は本発明の実施例であり、第7図に示し

子回路を用いると第4図の関係となる。さらに詳しく見てみると、まず第3図において、入力されたアナログ映像信号SがS1のタイミングで出力されると、シフトレジスタ8からのパルスでトランジスタ10でサンプリングされ、コンデンサ11でホールドされ、さらにソースフォローカバッファ12でバッファリングされる。このI/O変換された映像信号がトランジスタ13でS1の同一タイミングでラッテされて第1図あるいは第2図のS(1)～S(n)へ入力される。このラッテタイミング等を各々S1、S2、…とすると第4図で示す映像信号とS(1)～S(n)の関係となる。第2図のA.S.トランジスタ6のトランジスタはS1、S2、…とSの各タイミングごとにムレ(S1-S2=1)、S2-S3=…の間0%となり各々の第3図より出力された映像信号をコンデンサー7に保持する。そしてSのタイミングでホールドされた映像信号の水平保持時間、と次のラッテタイミング即ヒュート+1の間のLGの期間、第1図の表示部1のトランジスタスイッチング信号線、すなわち西天井歪

## 特開昭61-156187(3)

後の1本が0%となり西素へA/D変換された映像信号が伝送される。

以上のことを走査線数くりかえすことで一画面分の映像データが各画面へ伝送され一画面表示することとなる。

今、 $N = 180, M = 1820$ にフレーム周波数60HzのNTCSTV信号を $m = 240$ 本 $\times 8$ で表示しようすると1水平走査時間は $63.5 \mu\text{sec}$  水平解像時間は $11 \mu\text{sec}$ であるから、 $\Delta t \leq (63.5 - 11) / 8 = 6.56 \mu\text{sec}$   $LG \leq (11 + 6.56) = 17.56 \mu\text{sec}$ となる。今 $s(i)$ が0%となるタイミングと $C(i)$ (1番目の走査線の意味)が0%となるタイミングを同時にすることは実際上第3回より出力された(サンプルホールドされた)映像信号を、第2回のA.S.Tランジスタのトランジスタを介して直接画面へ伝達することになるので問題はない。こうすることで西素用スイッチングトランジスタの先延滞時間を長くとることができるので負荷を軽減することができ、コンパクトなトランジスタで済ますことができる。

通用スイッチングトランジスタと同一構成であり、データ保持用コンデンサーも既知の技術でトランジスタ製造プロセス内で設けることができ、あるいは配線容量等を用いた場合には不必要となるので、同一基板上に設けられることは特に詳細に述べることもなく明らかである。

又、本発明は、前述の顯示部のスイッチングトランジスタを設けたアクティブマトリクス液晶素子に代えて、米国特許第4387921号公報などに開示されたバッファマトリクス型強誘電性液晶素子を用いることができる。この強誘電性液晶素子の信号線を、前述の方法でTFTによりブロック化し、共通化することができる。この際、強誘電性液晶としては、カイラルスマクティック液相、特にそのC相、H相、I相、J相、K相、G相、F相が適している。

## 【発明の効果】

以上実施例から明らかなように、従来、1820本の信号線を240本ないしは240本とすることができず、信号線密度を13.5本/mmから1.69本/mm

この時、外部映像信号処理回路、第3回、と第1回あるいは第2回の $S(1) \sim S(n)$ との接続本数は $m = 240$ 本であるので、信号線密度 $d$ は

$$d = \frac{m}{L} = \frac{240}{142} = 1.69 \text{本/mm}$$

とすることが可能となる。第5回は、第1回又は第2回のスイッチング用選択線 $S(1) \sim S(n)$ を低密度化した場合の一例を示す。また、第6回は $S(1) \sim S(n)$ と $e(1) \sim e(d)$ の別の低密度配線例である。この場合は信号線密度は、

$$d = \frac{m+1}{L} = \frac{240+1}{142} = 1.75 \text{本/mm}$$

とやや密度は上がるもののわずかであり、接続本数低減効果にはほとんど影響しないものに対し、第3回の外部信号処理部の12のバッファを同一性能にそろえることができるという利点がある。つまり第6回の $e(1) \sim e(d)$ の $S(1) \sim S(n)$ のマトリクス回路基板上での上下交差部からなる配線部は同一となるため第3回の回路からのデータ変換を一様に抑えができるので西像のバラツキを抑えやすく設計できる。

なお、分類用スイッチングトランジスタは、西

(87.5%級)ないしは1.75本/mm(87.0%級)と大きく抑えることができる。したがって、莫大の簡素化、歩留りの向上、外部信号処理用IC個数の低減等、コスト的に有利となるばかりでなく、外部信号回路の小規模化、コンパクト化、低成本化も可能となる。

なお、説明ではアナログの映像信号を例としたが、本発明は他の信号、例えばデジタル信号でも良く、決定されるものではない。

## 4. 図面の簡単な説明

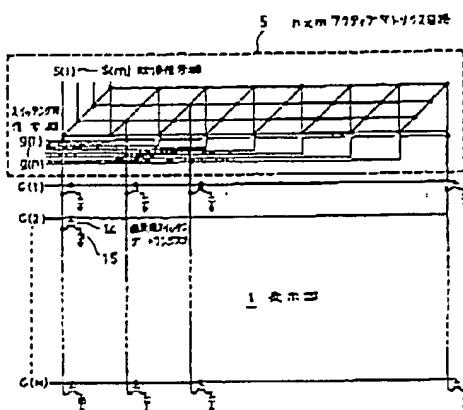
第1回は、本発明のアクティブマトリクス( $N \times M$ 西素)液晶表示装置の一実施例を示す説明図、第2回は、本発明の $N \times M$ マトリクス配線のM側のアクティブマトリクス配線の部分拡大図、第3回は、本発明による24本の信号線への映像信号出力回路図、第4回は、第1回あるいは第2回へ第3の回路を用いた場合の映像信号と信号線と本発明でM側配置されたスイッチング素子へのスイッチング信号と直角走査信号とのタイミング図、第5回は本発明を用いた低密度信号配線

特開昭61-156187(4)

図、第6図は、本発明の別の実施例の低歪成像号  
盤配線図、第7図はNXMアティブマトリクス液  
晶表示装置第8図は信号線と走査線のタイミング  
図である。

- 1…表示部、2…信号線駆動回路、  
3…走査線駆動回路、4…接続部、  
5…NXMアティブマトリクス回路、  
6…A.S.トランジスタ、7…コンデンサー、  
8…ソフトレジスタ、9…アナログ映像信号、  
10,13…トランジスタ、11…コンデンサ、  
12…ソースフォロウバッファ、  
14…画面用スイッチングトランジスタ、  
15…画面分割に相当する底面層の  
電気的等価回路、  
S(1)～S(n)…信号線、G(1)～G(n)…走査線、  
S(1)～S(n)…映像信号線、  
g(1)～g(n)…スイッチング用信号線。

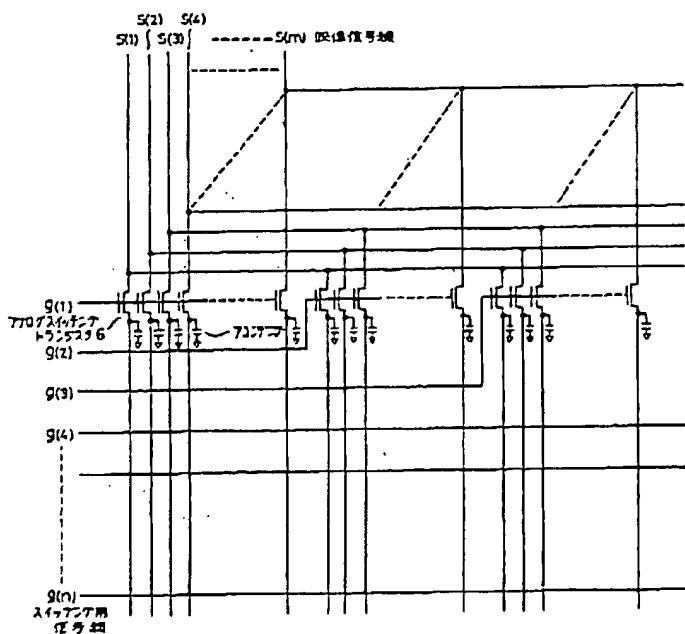
第1図



出願人 キヤノン株式会社

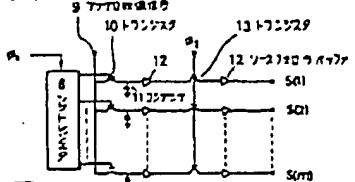
代理人 岩田吉雄

第2図

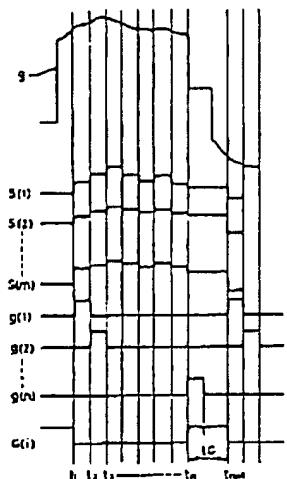


特開昭61-156187(5)

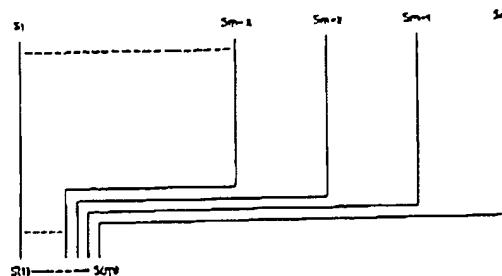
第3図



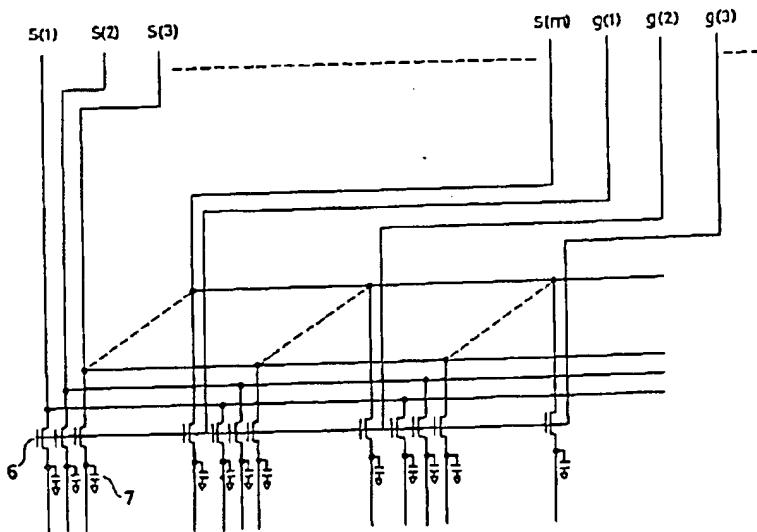
第4図



第5図

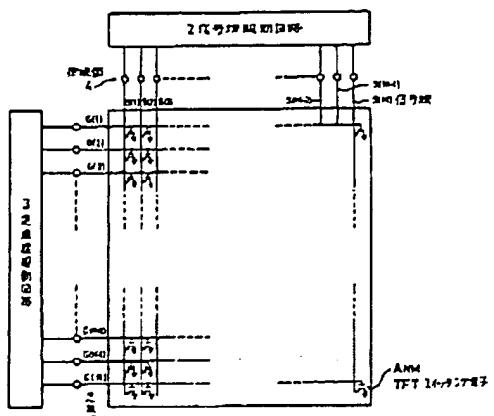


第6図



特開昭61-156187(6)

第7図



第8図

